Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Кафедра конструювання електронно-обчислювальної апаратури

**Лабораторна робота №2**

**з “Апаратних прискорювачів обчислень на мікросхемах програмованої логіки”**

Виконав:

Івлєв Антон

**студент III-го курсу ФЕЛ, гр. ДК-02**

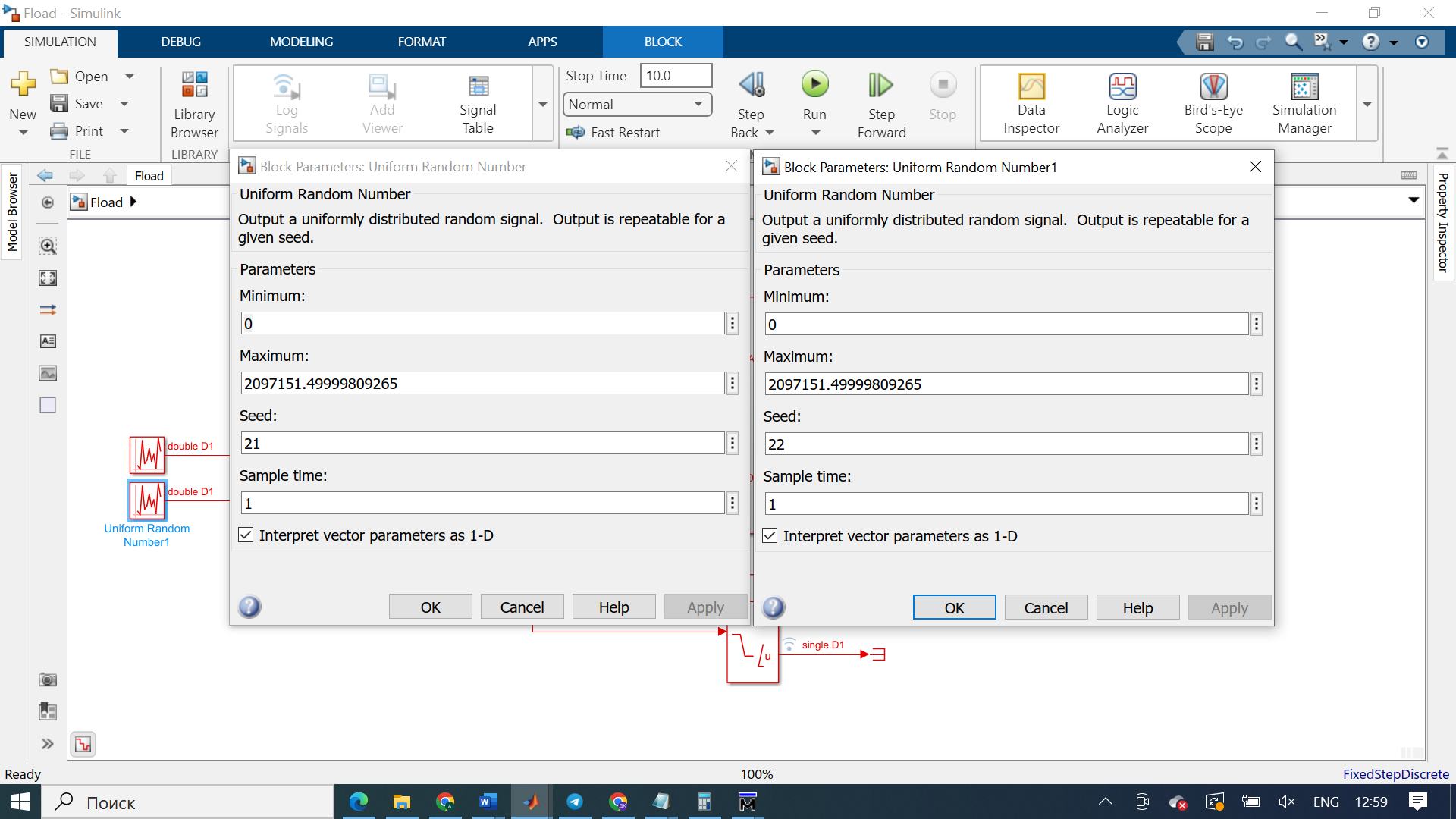
**Варіант: 21**

**Дата виконання: 03.05.2023**

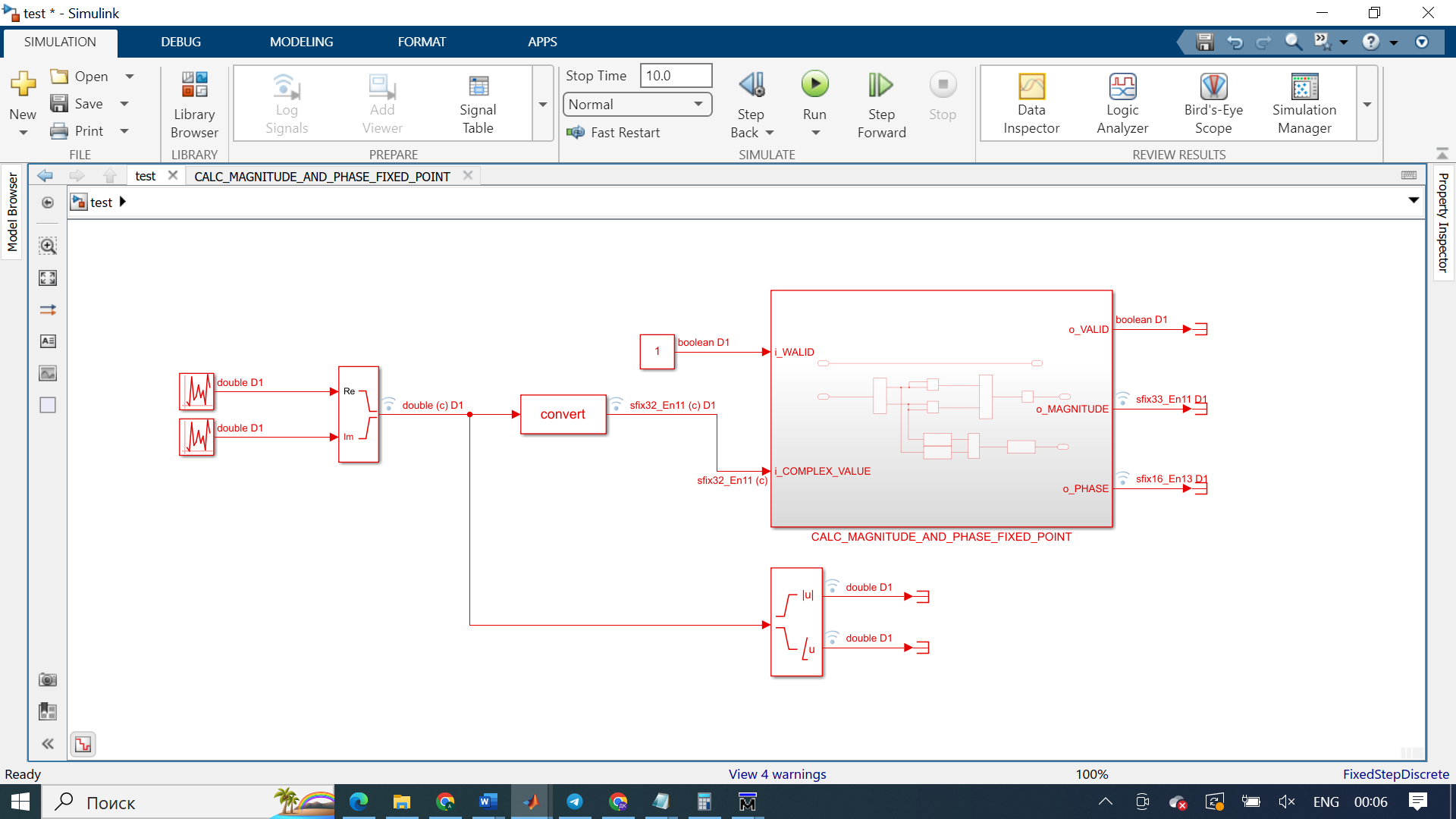
Київ – 2022

1. В Simulink побудувати блок схеми обчислювачів модуля і аргументу комплексного числа для вхідного аргументу з фіксованої комою і плаваючою комою. Обчислювачі для вхідних даних з фіксованою комою і плаваючою комою будувати в окремих моделях Simulink.

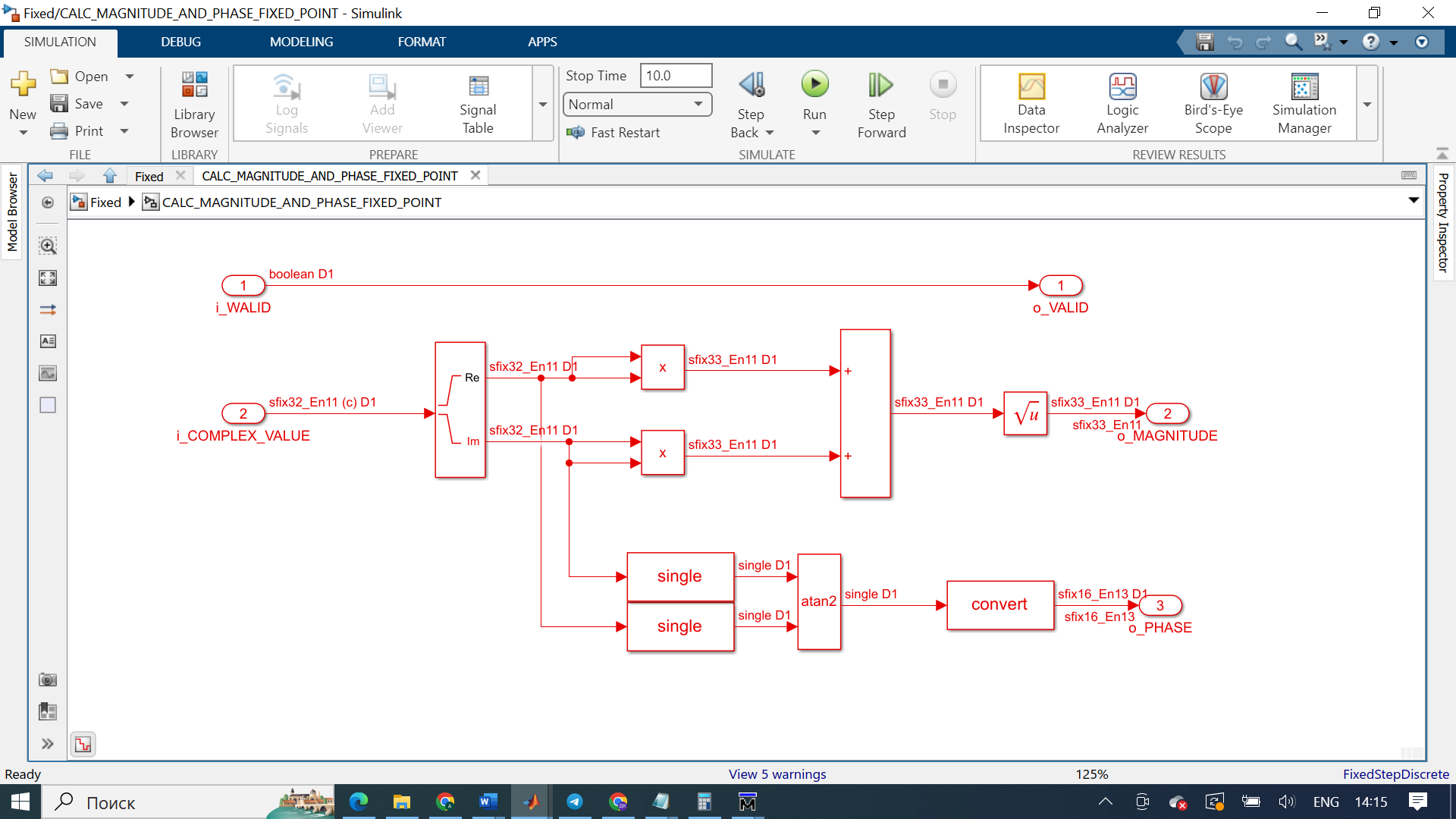
Налаштування Uniform Random Number(для обох блок-схем):



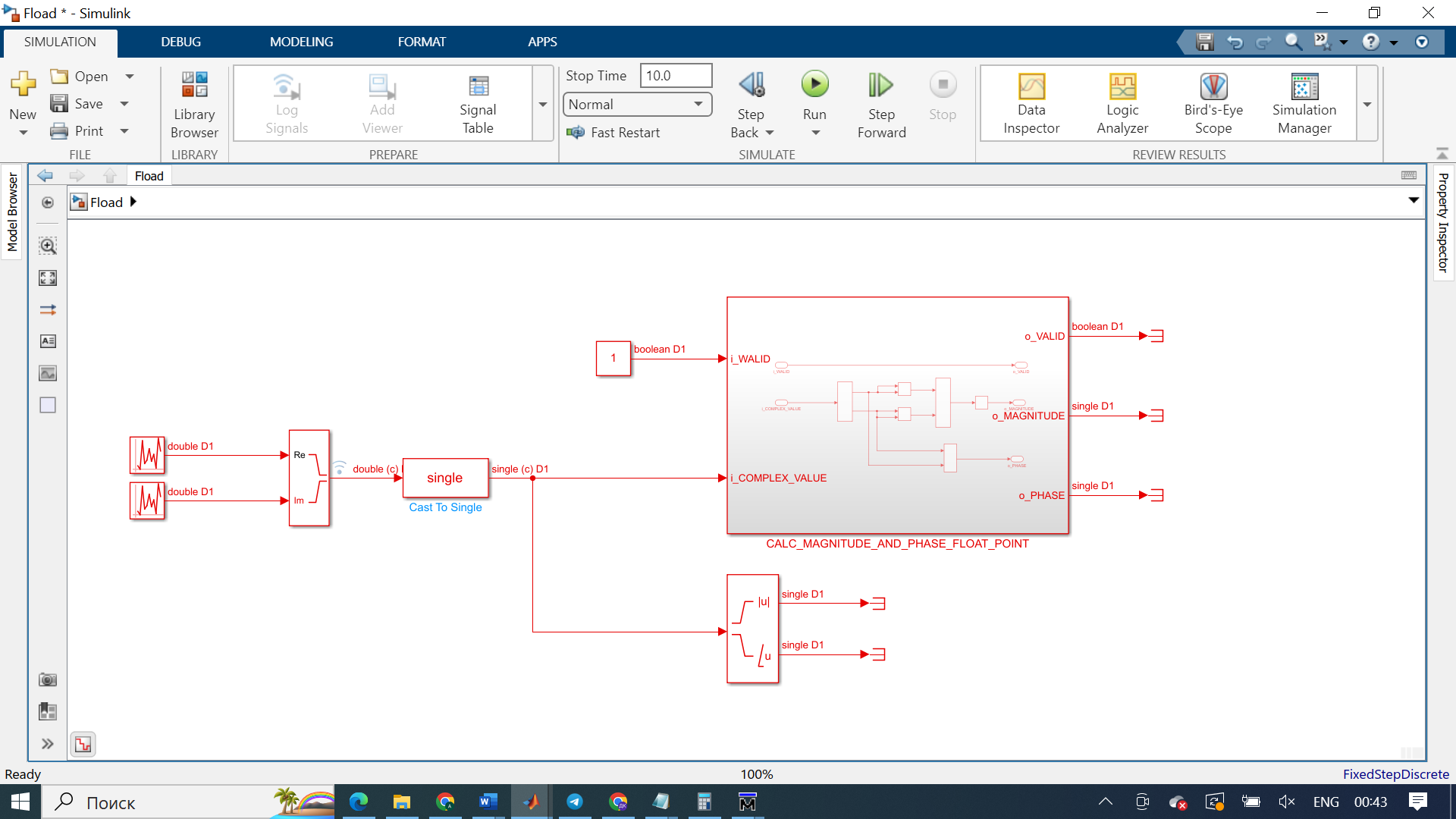
Fixed point:

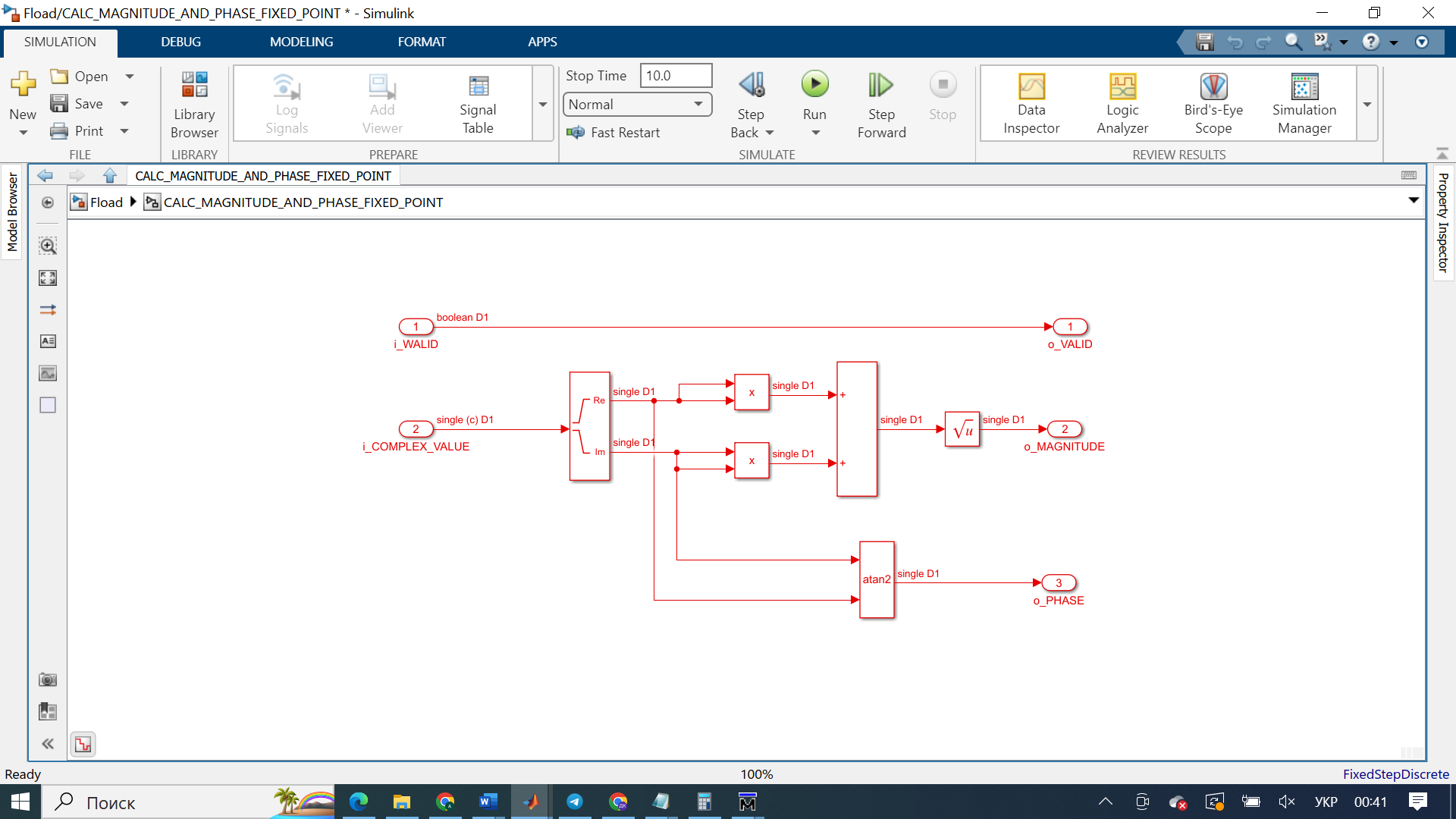


Підсистема(CALC\_MAGNITUDE\_AND\_PHASE\_FIXED\_POINT):



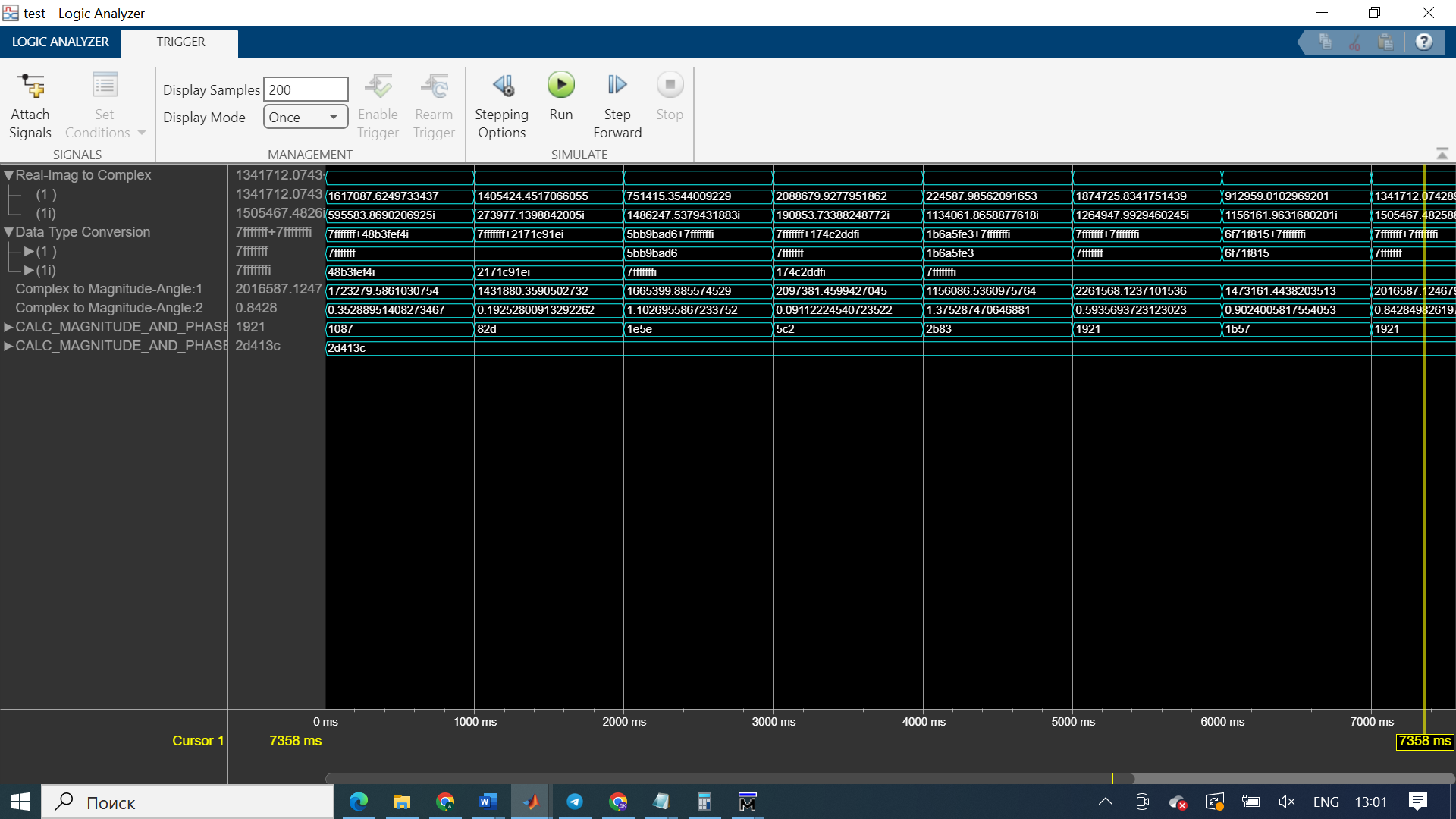
Float point:

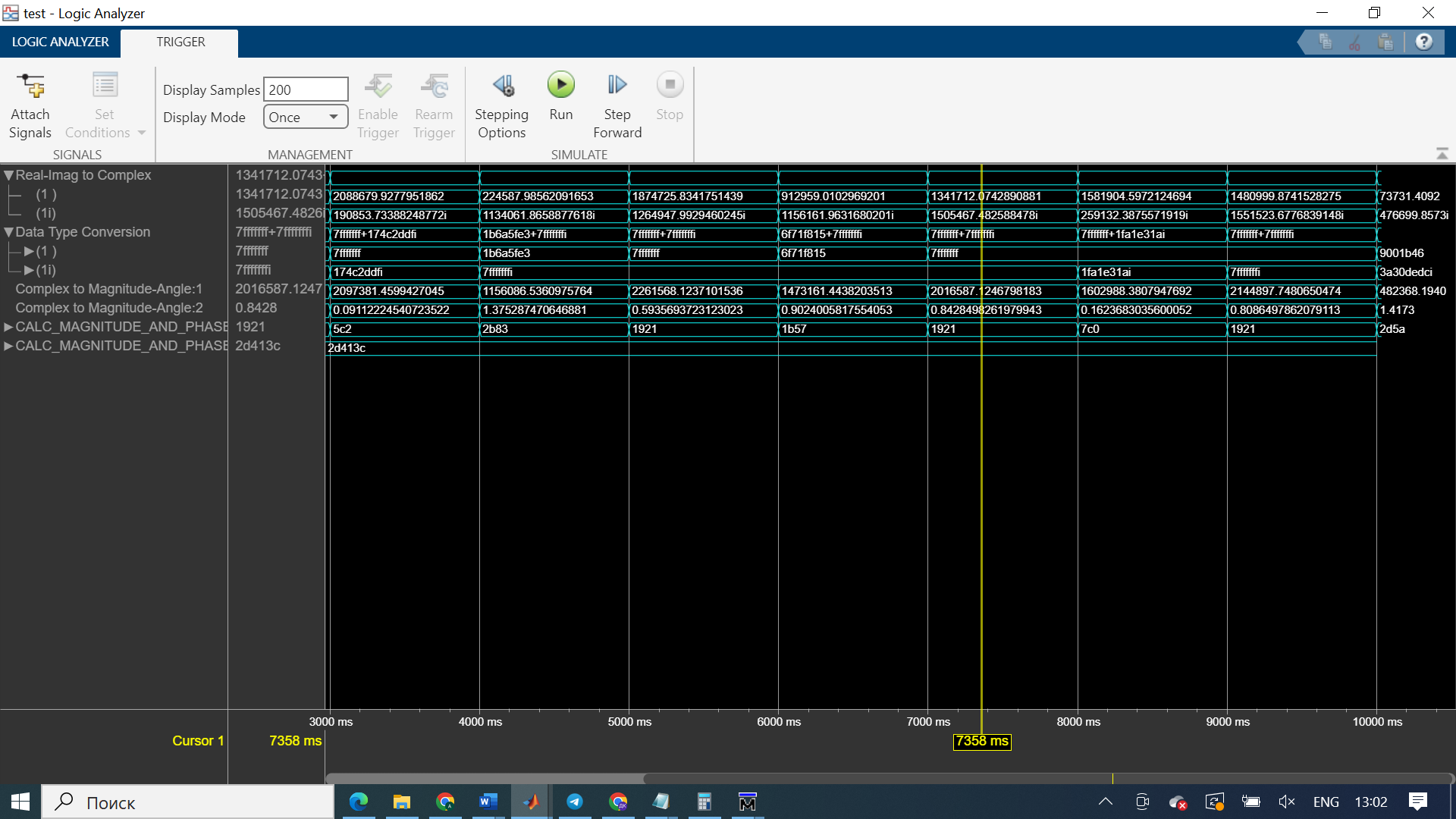


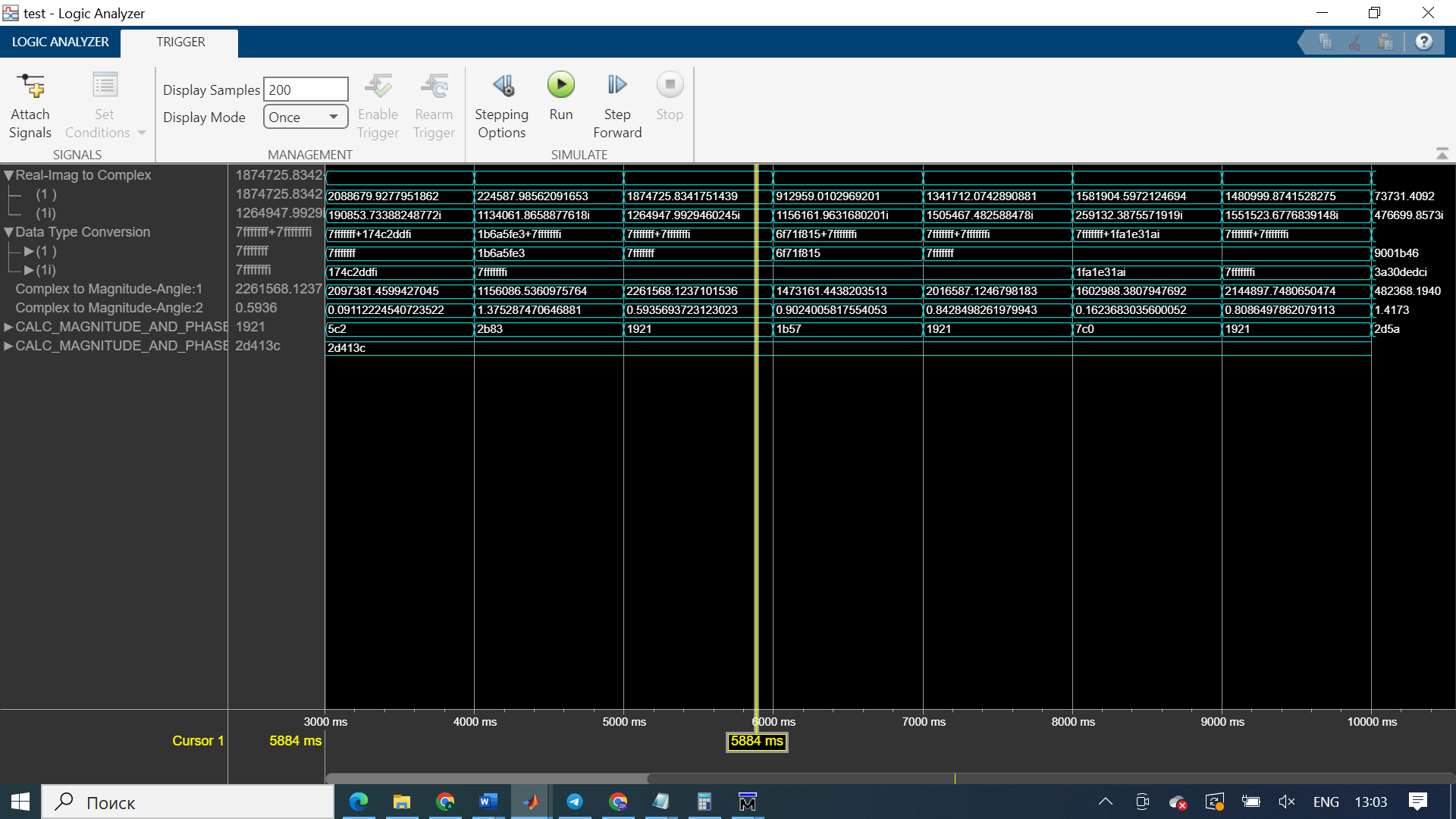
Підсистема(CALC\_MAGNITUDE\_AND\_PHASE\_FLOAT\_POINT): 

1. Для моделі обчислювача з вхідними даними у фіксованій комі та для моделі обчислювача з вхідними даними у плаваючій комі в логічному аналізаторі Simulink переглянути залежність від часу даних на вході обчислювача, а також даних на виході кожного обчислювача (розраховані значення модуля і аргументу комплексного числа) і еталонних значень результату (значення модуля і аргументу розраховані у блоці “Complex to Magnitude-Angle”). Переконатися, що еталонні значення результату або дорівнюють розрахованим значенням, або відрізняються на незначне значення похибки.

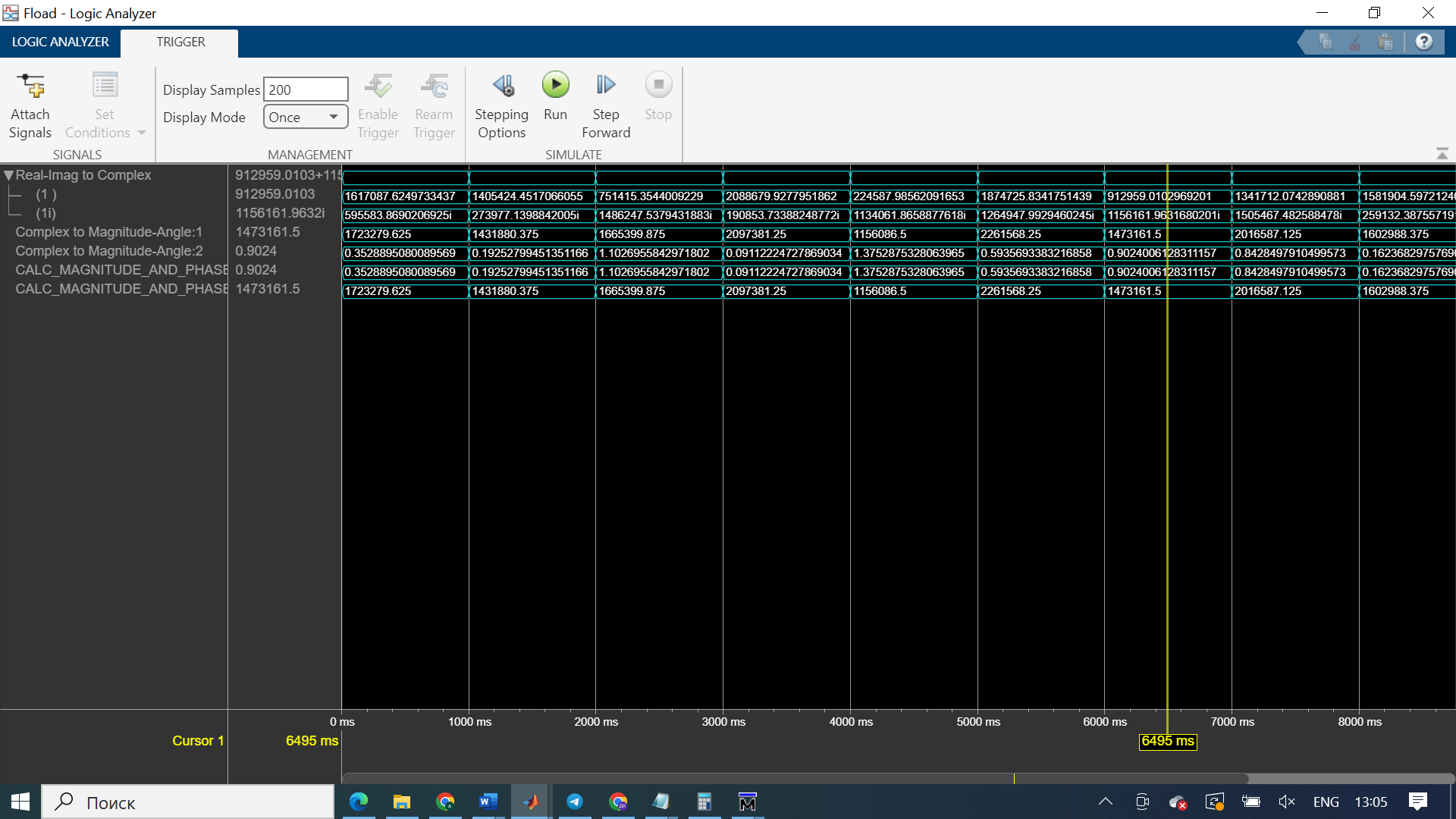
Fixed:

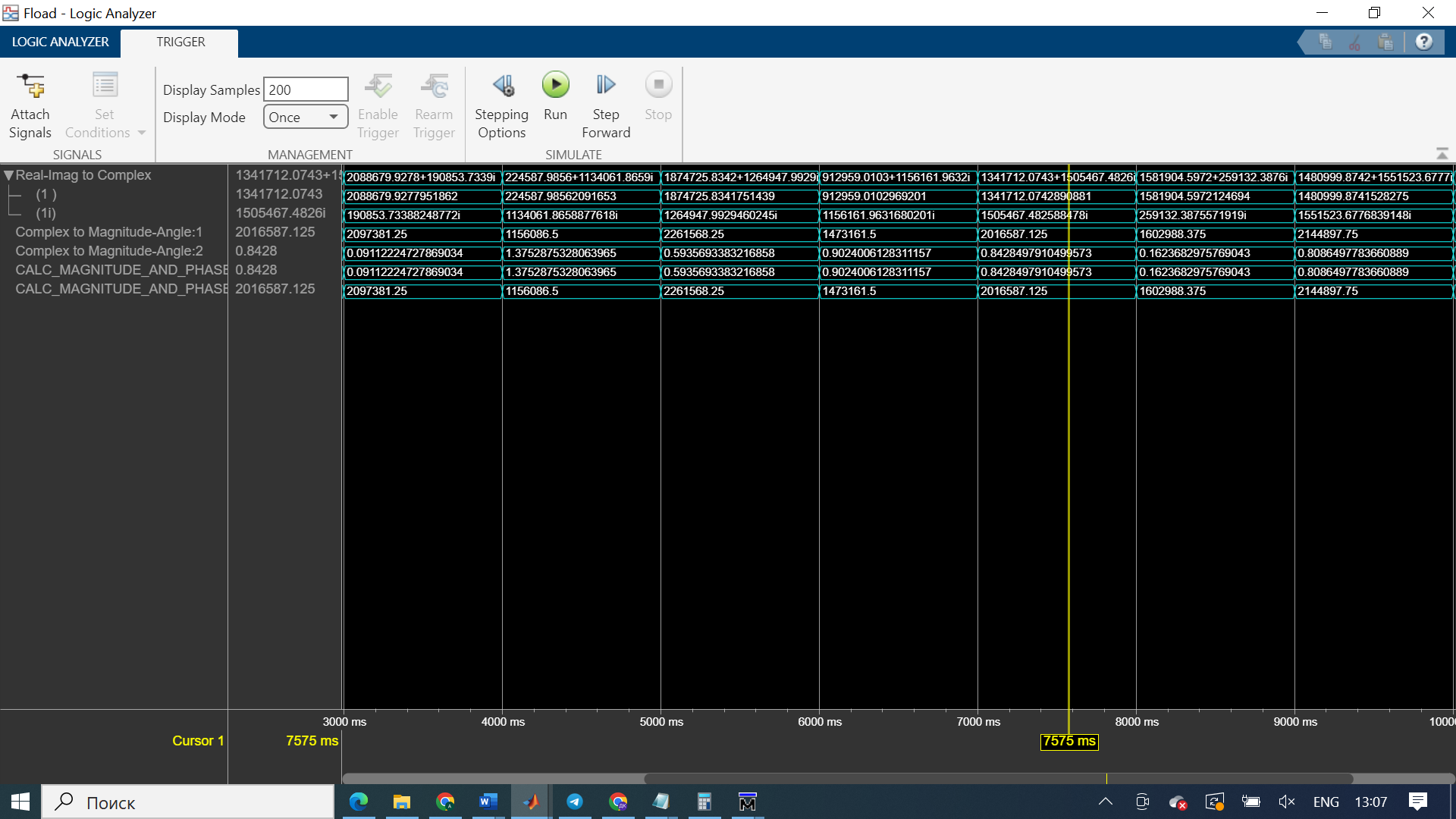


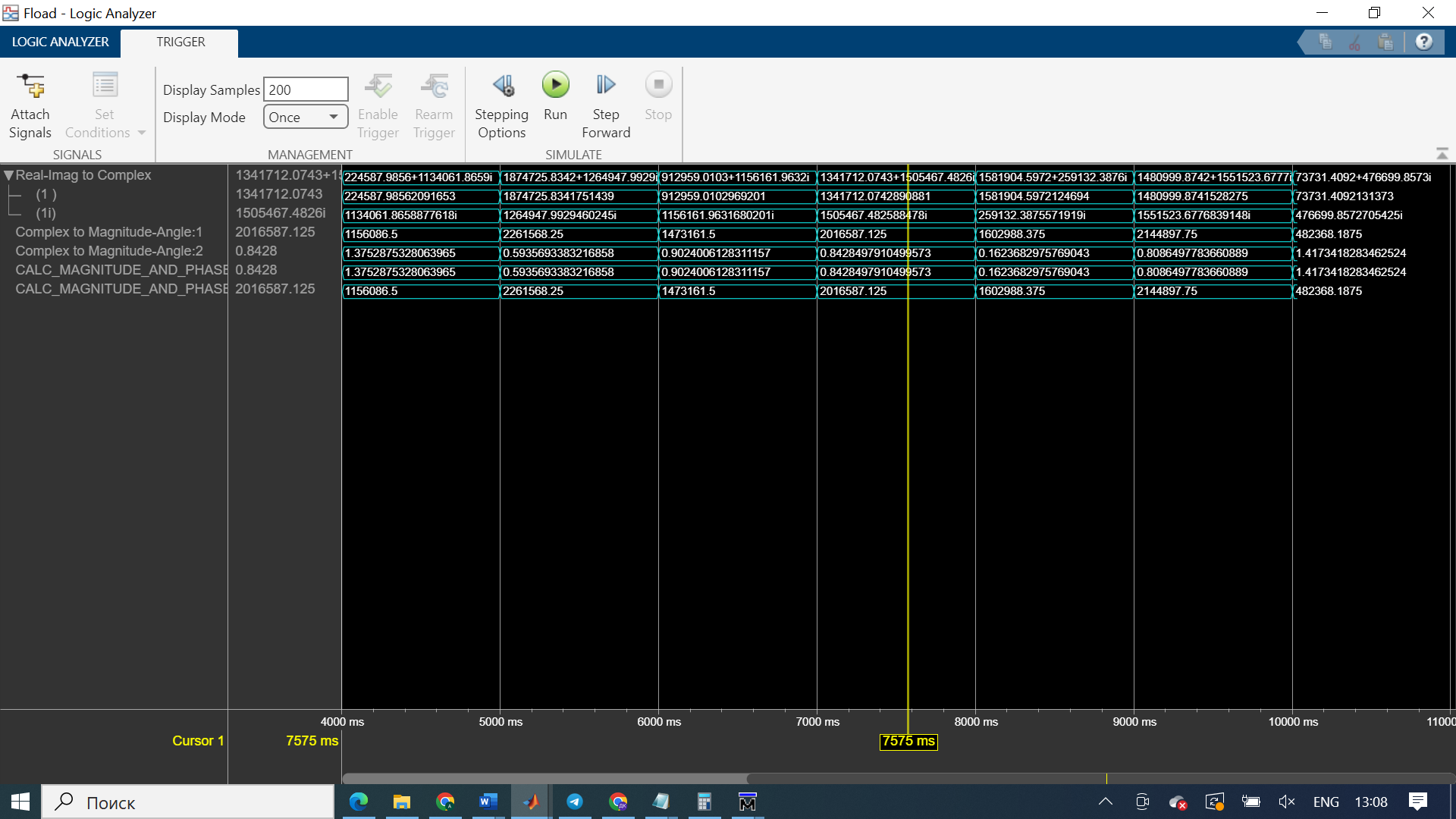




Float:







1. Створити звіт, в якому відобразити створені в Simulink блок схеми (з відображенням типів даних та з відображенням вмісту підсистем) і результати моделювання для перших десяти комбінацій на входах. Приклади подання наведені вище.

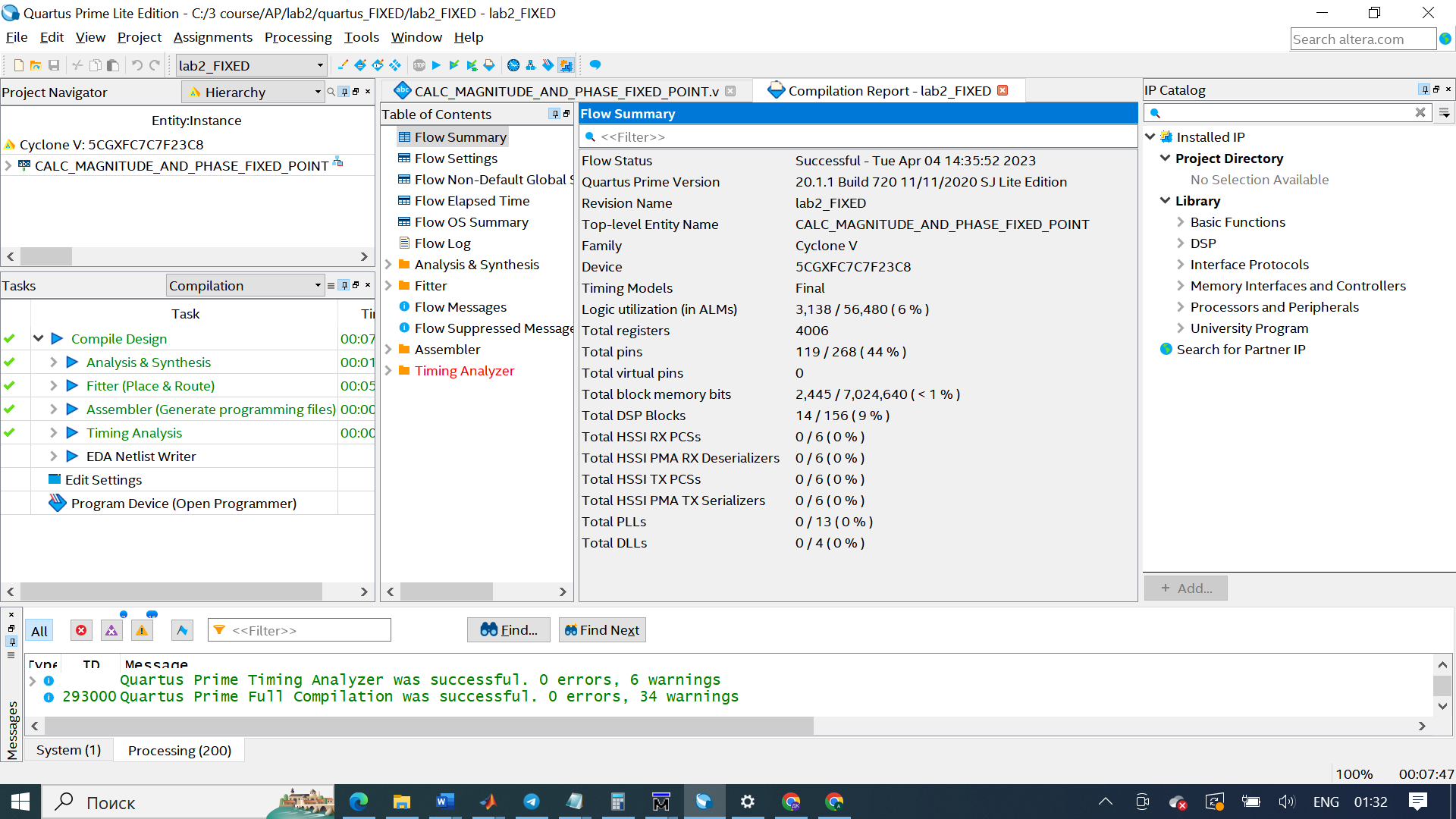
У звіті необхідно обгрунтувати/вивести граничні значення діапазону чисел, які видає блок “Uniform Random Number”.

21 цілих, 11 дробових. 32-11 = 26.

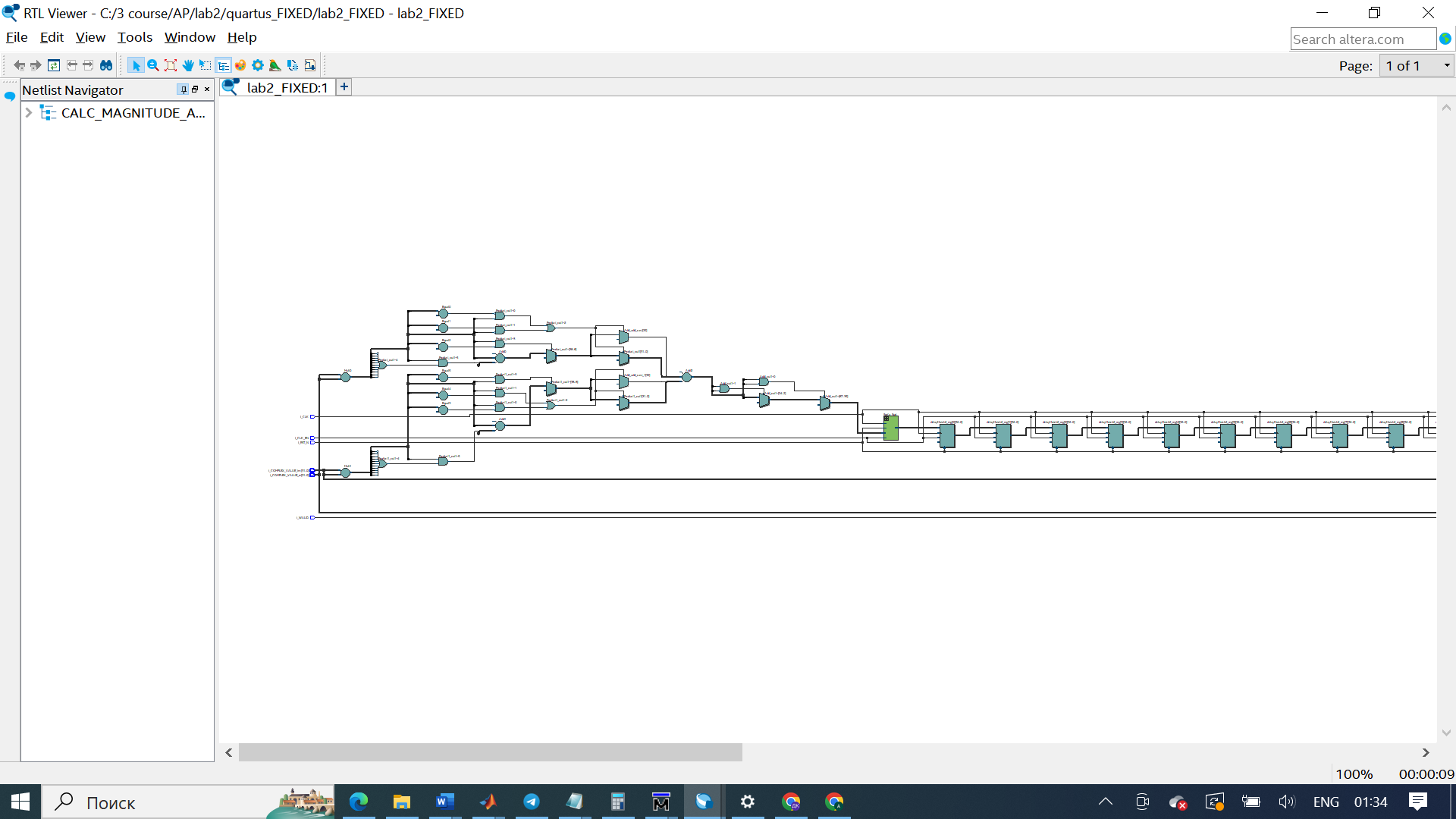
1 1111 1111 1111 1111 1111.11111111111 = 2 097 151.49999809265

1. Якщо додати у звіт згенерований код на Verilog та результат синтезу згенерованого коду в Quartus для створеної підсистеми (звіт по апаратним витратам, результат виклику RTL Viewer), можна отримати +2 додаткових бали:

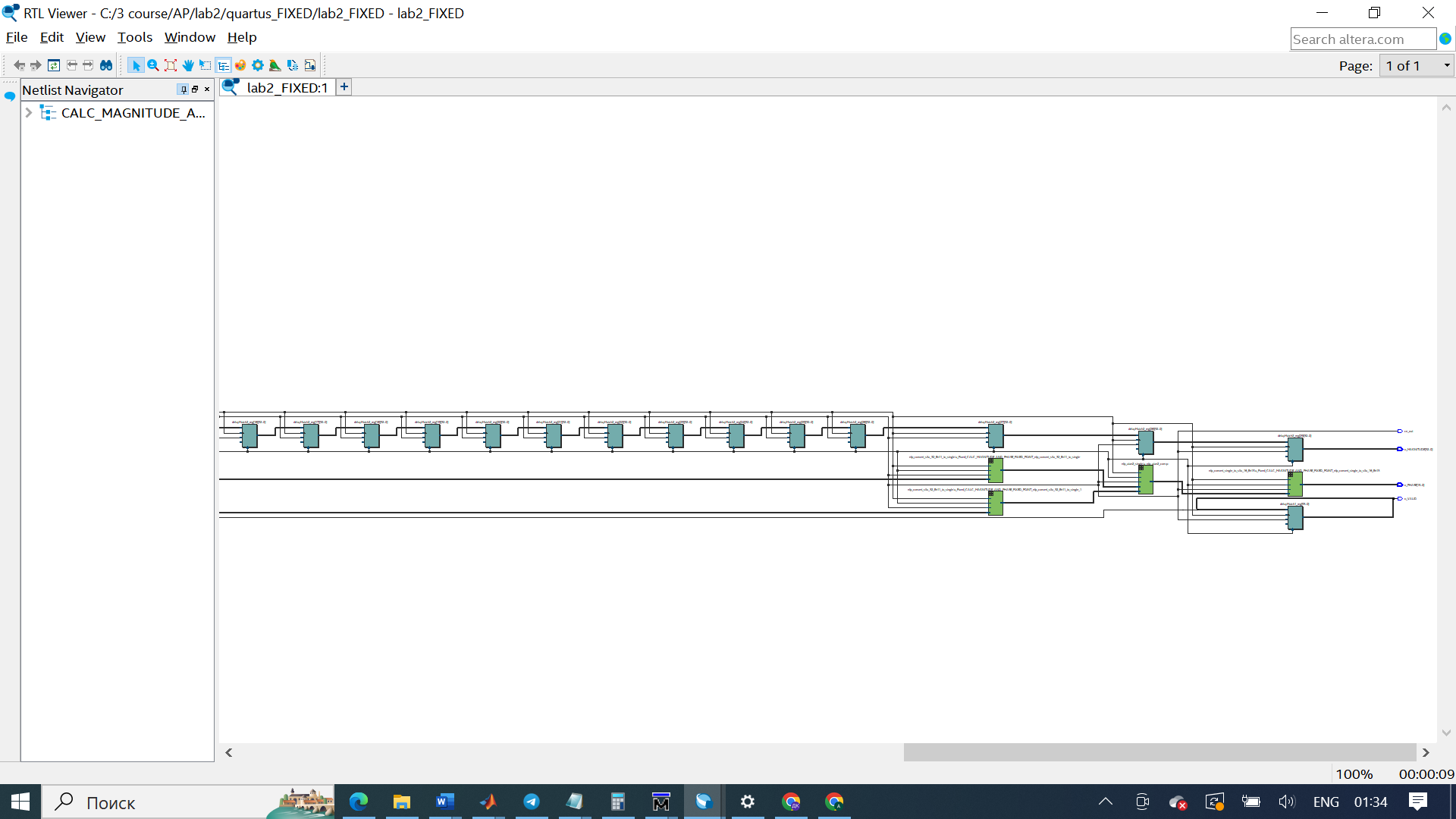
Витрати(Fixed)



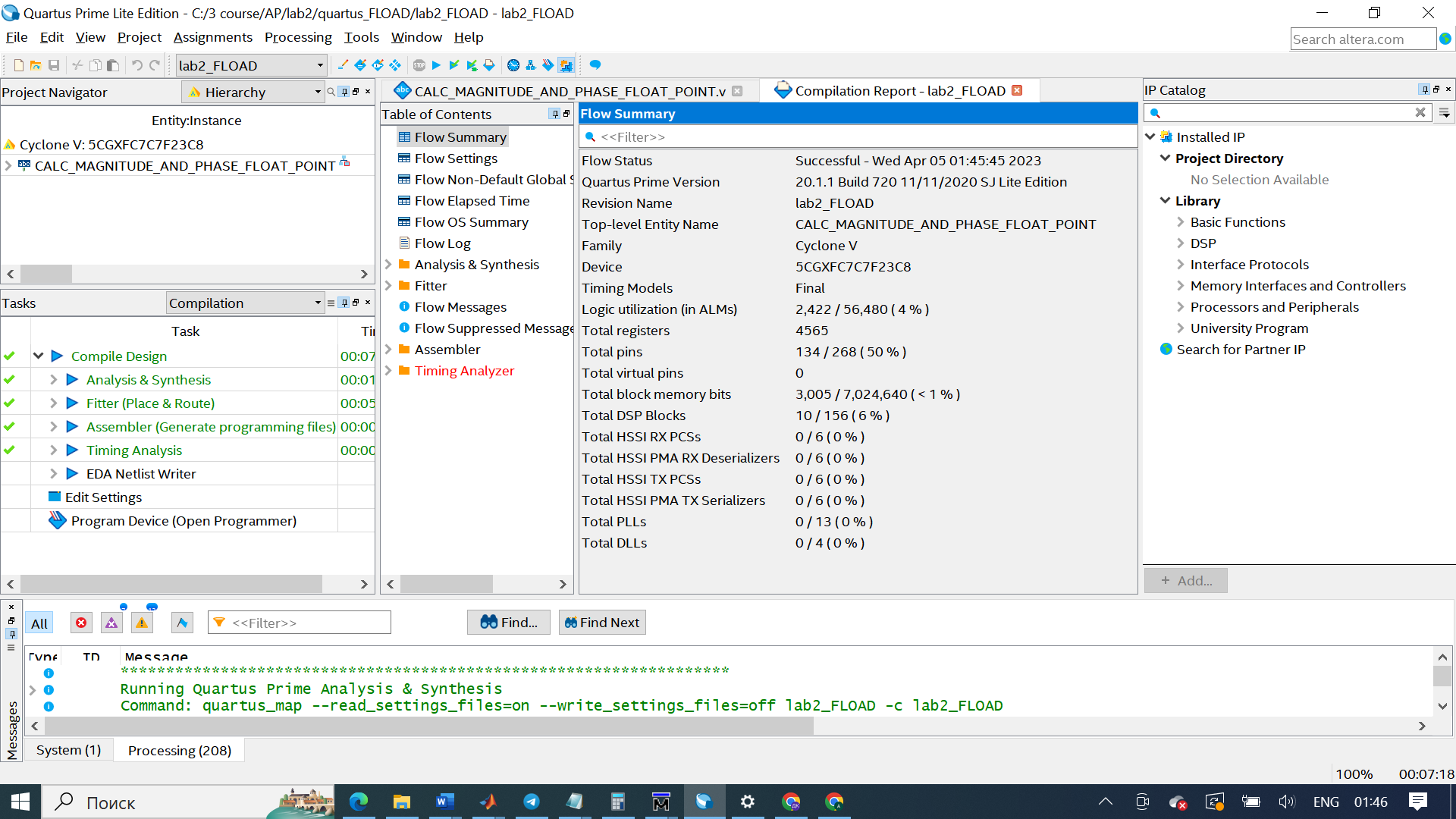
RTL Viewer(Fixed):



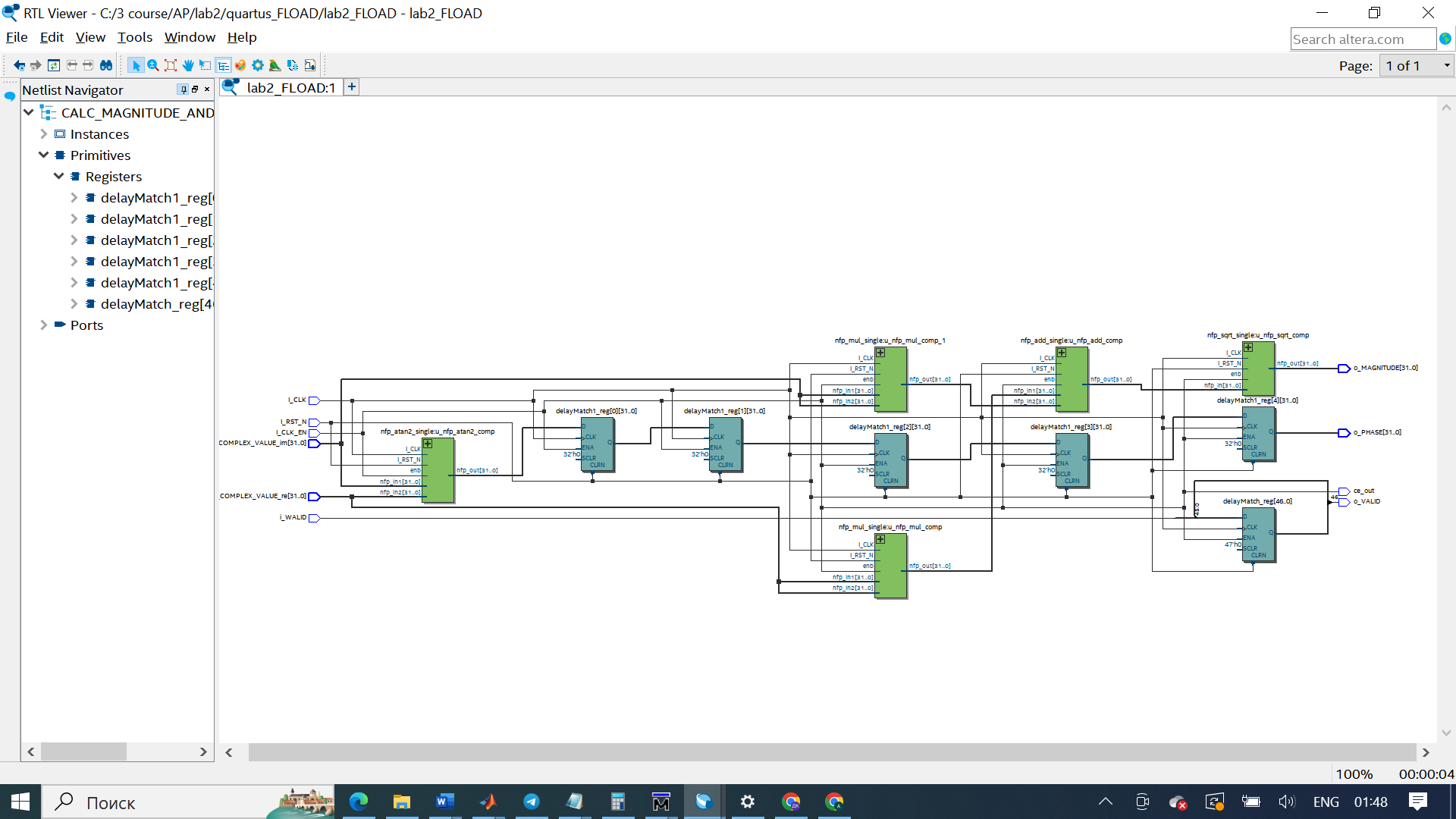
---------------------------------------------------------------------------------------------



Витрати(Float):

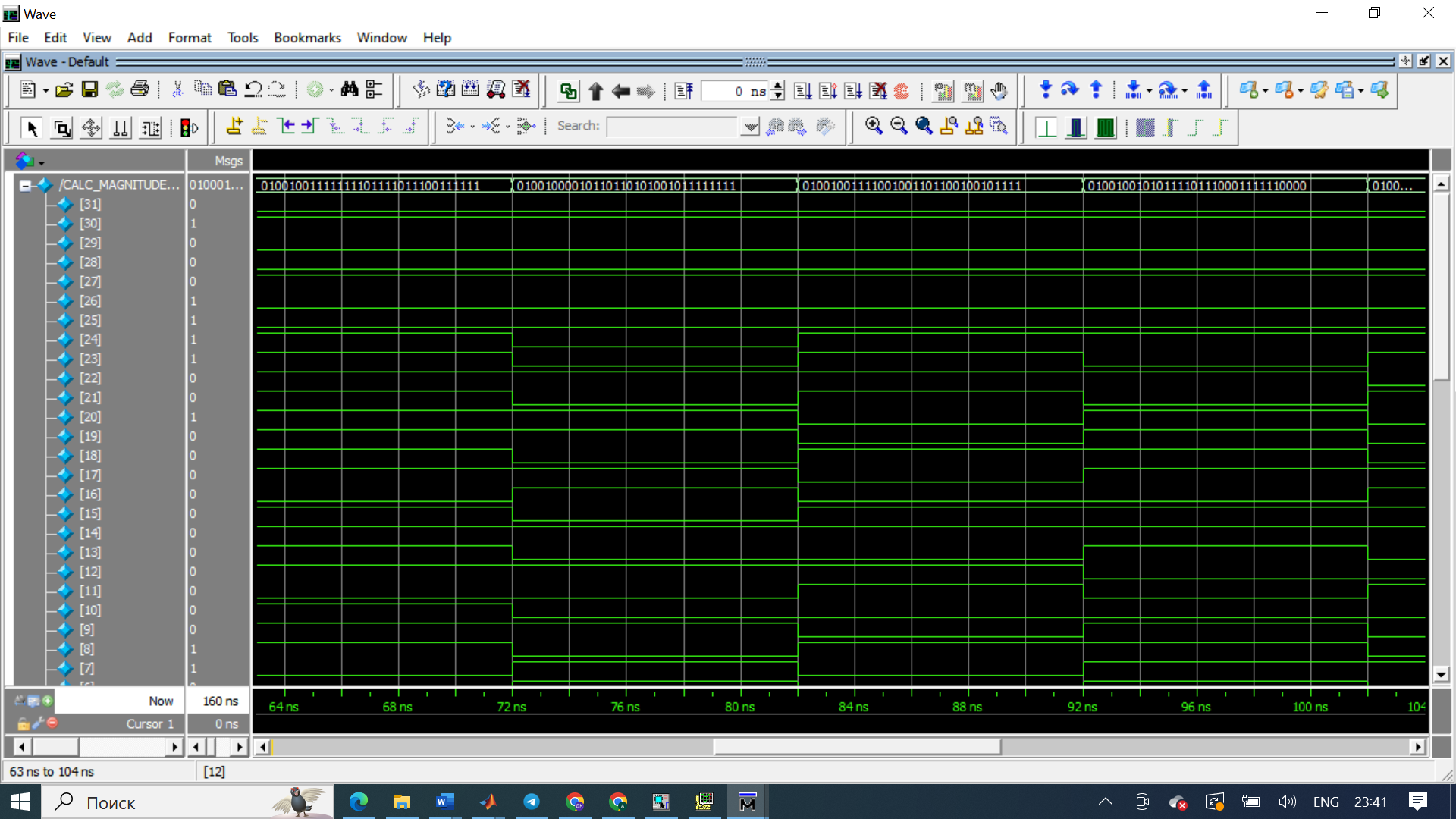


RTL Viewer(Float):

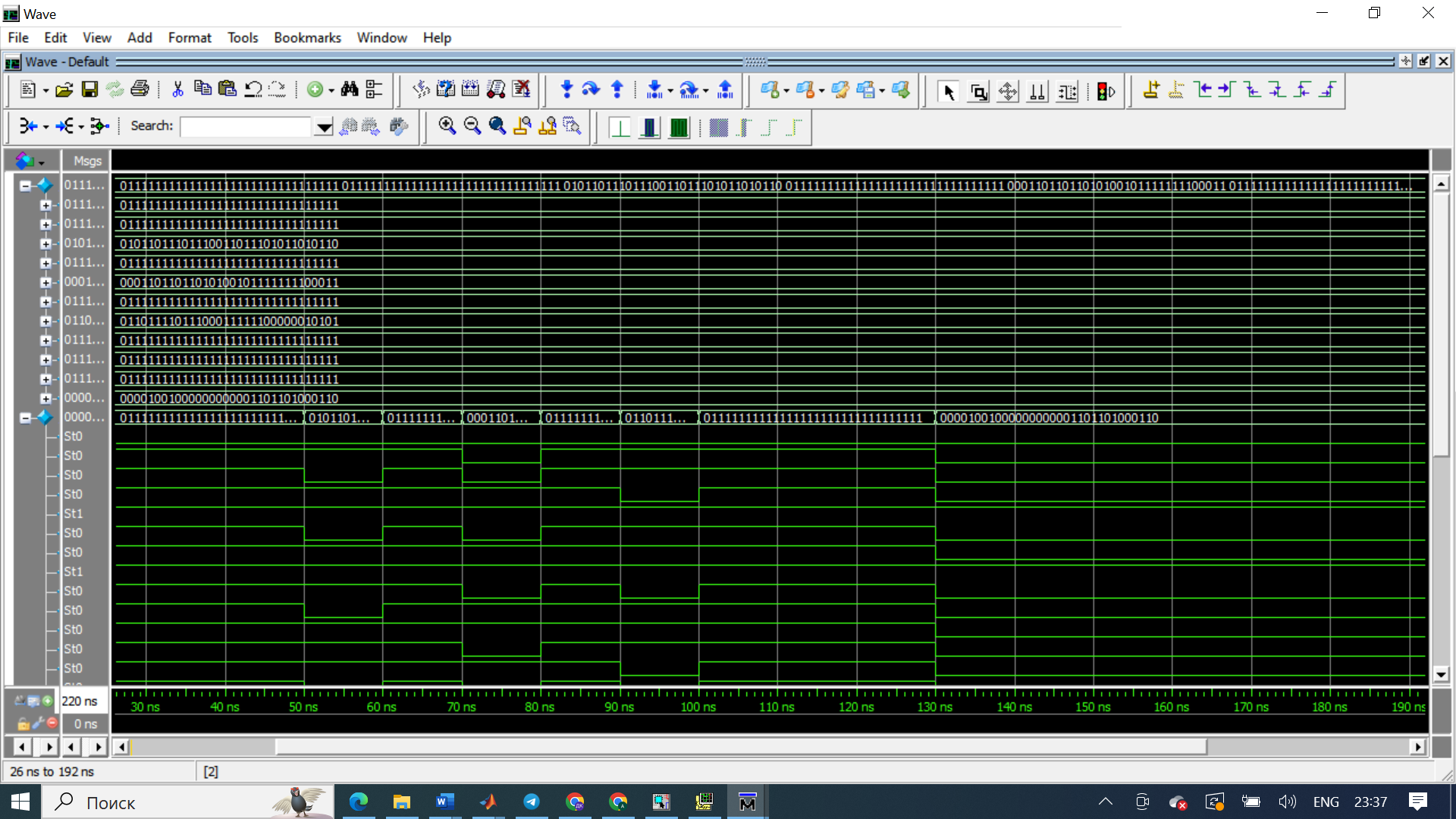


1. Якщо створити тестбенч в Matlab для створеної підсистеми і додати в звіт результат симуляції тестбенча в Modelsim/Questasim, можна отримати +2 додаткових бали.

Float:



Fixed:



1. Завантажити звіт і файли (файли моделі та у випадку наявності файли згенерованого HDL коду, файли проекту Quartus та тестбенчу) в репозиторій студента на github. Датою завершення виконання роботи вважається дата завантаження файлів в репозиторій.